

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 63200572 A

(43) Date of publication of application: 18.08.88

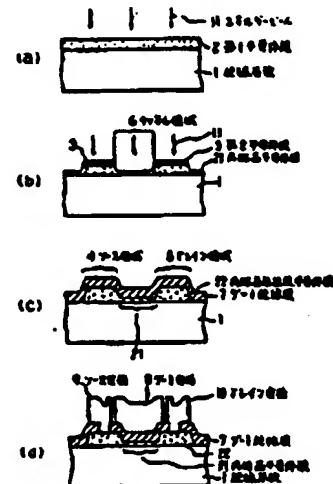
(54) MANUFACTURE OF THIN FILM SEMICONDUCTOR DEVICE

(57) Abstract:

**PURPOSE:** To improve the leakage current and the dielectric strength characteristic of a thin film semiconductor device by increasing the thicknesses of a source region and a drain region larger than that of a channel region, selectively melting the drain region only to the source region to preferably contact it therewith at the time of beam annealing.

**CONSTITUTION:** A semiconductor film 2 is deposited on an insulating substrate 1, annealed with an energy beam 11 to crystallize the film 2, thereby obtaining a recrystalline semiconductor film 21. A semiconductor film 3 having a small specific resistance is deposited on the film 21, and an N<sup>+</sup> type a-Si is deposited, for example, by a plasma CVD method in case of an N-channel TFT. The source, drain sections remain by a photolithographic technique, and the other is removed by etching. The films 3, 21 are partly etched by the etching so that the thicknesses of the regions 4, 5 become larger than that of the region 6. The regions 4, 5 are selectively melted by the beam 11 to improve the contact. Thereafter, a gate electrode 8, a source electrode 9 and a drain electrode 10 are formed.

**COPYRIGHT:** (C)1988,JPO&Japio



(51) Int. Cl

H01L 29/78

H01L 21/20

H01L 21/263

H01L 27/12

(21) Application number: 62033698

(22) Date of filing: 17.02.87

(71) Applicant:

SEIKO INSTR & ELECTRONICS LTD

(72) Inventor:

SHIMIZU NOBUHIRO  
SHINPO MASAFUMI

• DIALOG(R)File 347:JAPIO  
(c) 1998 JPO & JAPIO. All rts. reserv.

02583672

## MANUFACTURE OF THIN FILM SEMICONDUCTOR DEVICE

PUB. NO.: 63-200572 [JP 63200572 A]

PUBLISHED: August 18, 1988 (19880818)

INVENTOR(s): SHIMIZU NOBUHIRO

SHINPO MASAFUMI

APPLICANT(s): SEIKO INSTR & ELECTRONICS LTD [000232] (A Japanese Company or Corporation), JP (Japan)

APPL. NO.: 62-033698 [JP 8733698]

FILED: February 17, 1987 (19870217)

INTL CLASS: [4] H01 L-029/78; H01L-021/20; H01L-021/263; H01L-027/12

JATIO CLASS: 42.2 (ELECTRONICS -- Solid State Components)

JAPIO KEYWORD:R002 (LASERS); R004 (PLASMA); R097 (ELECTRONIC)

## MATERIALS --

## Metal Oxide Semiconductors, MOS)

JOURNAL: Section: E, Section No. 695, Vol. 12, No. 486, Pg. 35,  
December 19, 1988 (19881219)

## ABSTRACT

**PURPOSE:** To improve the leakage current and the dielectric strength characteristic of a thin film semiconductor device by increasing the thicknesses of a source region and a drain region larger than that of a channel region, selectively melting the drain region only to the source region to preferably contact it therewith at the time of beam annealing.

**CONSTITUTION:** A semiconductor film 2 is deposited on an insulating substrate 1, annealed with an energy beam 11 to crystallize the film 2, thereby obtaining a recrystalline semiconductor film 21. A semiconductor film 3 having a small specific resistance is deposited on the film 21, and an N<sup>+</sup> type a-Si is deposited, for example, by a plasma CVD method in case of an N-channel TFT. The source, drain sections remain by a photolithographic technique, and the other is removed by etching. The films 3, 21 are partly etched by the etching so that the thicknesses of the regions 4, 5 become larger than that of the region 6. The regions 4, 5 are selectively melted by the beam 11 to improve the contact. Thereafter, a gate electrode 8, a source electrode 9 and a drain electrode 10 are formed.

## ⑪ 公開特許公報 (A) 昭63-200572

⑪Int.Cl.  
H 01 L 29/78  
21/20  
21/263  
27/12

識別記号 311  
厅内整理番号 Z-8422-5F  
7739-5F  
7514-5F

⑪公開 昭和63年(1988)8月18日

7514-5F 審査請求 未請求 発明の数 1 (全4頁)

⑫発明の名称 薄膜半導体装置の製造方法

⑬特 願 昭62-33698  
⑭出 願 昭62(1987)2月17日

⑮発明者 清水 信宏 東京都江東区亀戸6丁目31番1号 セイコー電子工業株式会社内  
⑯発明者 新保 雅文 東京都江東区亀戸6丁目31番1号 セイコー電子工業株式会社内  
⑰出願人 セイコー電子工業株式会社 東京都江東区亀戸6丁目31番1号  
⑱代理人 弁理士 最上 務 外1名

## 明細書

## 1. 発明の名称

薄膜半導体装置の製造方法

## 2. 特許請求の範囲

(1) (a) 錫基板上に非晶質または多結晶の第1半導体膜を堆積した後、エネルギービームで前記第1半導体膜をアニールして再結晶半導体膜にする工程と、

(b) 前記再結晶半導体膜上に比抵抗0.1Ωcm以下

の第2半導体膜を堆積してパターニングする際、

前記再結晶半導体膜をオーバーエッチする工程と、

(c) エネルギービームによりソースとドレイン領域の前記第2半導体膜をアニールして、溶融させ、ソースとドレイン領域全体を低抵抗化して再結晶低抵抗半導体膜を形成し、この再結晶低抵抗半導体膜の上にゲート绝缘膜を全面に堆積する工程と、

(d) ソースとドレイン領域にフォトリソ技術でコントラクトホールを形成して、ゲート電極、ソース電極、ドレイン電極を製作する工程とからなる

薄膜半導体装置の製造方法。

①ソースとドレイン領域に形成された再結晶低抵抗半導体膜の膜厚が、チャネル領域の再結晶半導体膜の2倍以上ある特許請求の範囲第1項記載の薄膜半導体装置の製造方法。

## 3. 発明の詳細な説明

## (産業上の利用分野)

この発明は、絶縁物上に薄膜トランジスト (TFT) 製作する方法に関する。

## (発明の概要)

本発明は、絶縁物上に TFT をビームアニールして製作する工程において、ソースとドレイン領域をビームアニールして低抵抗化する際に、ソースとドレイン領域の膜厚が、チャネル領域の膜厚より厚く、例えば2倍以上厚くなるようにソースとドレイン領域のみ溶融させることで、ソースとドレイン部分のコンタクトが良くなり、リーク電流の低下や耐圧の増加など特性の改善が可能となる。

## (従来の技術とその問題点)

従来の実施例の工程図を第2図(a)～(c)に示す。第2図(a)の工程において、ソースとドレイン領域になる第2半導体膜をエッチングする際に、チャネル領域6の再結晶半導体膜21までオーバーエッチをしないため、ソース領域4とドレイン領域5の膜厚が、チャネル領域6の膜厚とほぼ同じになる。そのため、第2半導体膜3をビームエネルギー-11でアニールする時に、ソース領域5とドレイン領域6のみ選択的に溶融することが不可能となる。従って、ソースとドレイン部分のコンタクトは不十分となり、製作したTFTの特性はリード電流が大きく、ソースとドレインの耐圧も低くなってしまっていた。

## (問題点を解決するための手段)

上記問題点を解決するために本発明は、第1図(a)～(c)に示すように、ソース領域4とドレイン領域5との膜厚を、チャネル領域6の膜厚よりも厚くして、ソースとドレイン部分をビームアニールして、選択的にソース領域4とドレイン領域5と

が溶融するようにした。

## (作用)

第1図(a)において、ソース領域4とドレイン領域5との膜厚が、チャネル領域6の膜厚よりも大きくなるほど、ビームエネルギー-11の吸収の差が大きくなる。そのため、ソースとドレイン領域のみ選択的に溶融させることが可能となる。

## (実施例)

以下、図面によって本発明を説明する。第1図(a)～(c)は、本発明の第1実施例の工程を説明するための断面図である。第1図(a)は絶縁基板1上に第1半導体膜2を堆積し、エネルギー-ビーム11でアニールする工程である。絶縁基板1の例としては、石英や無アルカリガラスやアルカリなどの不純物を含んだガラスの表面に絶縁物をコートしてガラスからの不純物の付着を防止したものなどがある。

ここでは、550 °Cのプロセスが使用可能なガラス基板を使う。

次に第1半導体膜2の例は、各種の膜と堆積方

- 3 -

法があるが、ここでは $\alpha$ -SiをプラズマCVD法で堆積する方法について説明する。堆積温度は、室温から約400 °Cの間に設定し、原料ガスは主にシラン(SiH<sub>4</sub>)やジシラン(Si<sub>2</sub>H<sub>6</sub>)を使用する。また膜厚は500 Åから3000 Åの間に設定する。

次に第1半導体膜2をビームエネルギー-11でアーニールする例について説明する。アーニール方法にはレーザや電子ビームまたはランプやヒータなどを用いた多数のエネルギー源があるが、ここではArレーザを使用してアーニールする方法を述べる。一般にプラズマCVD法により堆積した $\alpha$ -Siには膜中に水素ガスが含まれているため、このガスを除去するプレアーニールを行うことで後述の再結晶アーニール後の結晶性が良くなる。プレアーニール方法では $\alpha$ -Si中の水素ガスが約500 °C以上で除去できることが知られており、この温度以上まで上昇できるアーニール方法であればどの方法でも可能である。例として真空または窒素や不活性ガス雰囲気中で、 $\alpha$ -Siが溶融しない程度のエネルギー密度でArレーザのエネルギー-ビーム11を走査させて行

- 4 -

うことができる。また、窒素雰囲気で550 °C、1時間行っても十分である。焼いて再結晶アーニールを行う。前記プレアーニールと同様に真空または窒素や不活性ガス雰囲気でArレーザを使って、水素を除去した $\alpha$ -Siが溶融するエネルギー密度でエネルギー-ビーム11を走査させる。この結果、第1半導体膜2は結晶化して再結晶半導体膜21になる。

第1図(b)は、再結晶半導体膜21上に、比抵抗0.1Ω・cm以下の第2半導体膜3を堆積して、ソースとドレイン領域の第2半導体膜3をエッチングで残し、ビームアーニールによりソース領域4とドレイン領域5とを形成する工程である。第2半導体膜3の例は、NチャネルTFTを製作する場合には、N型の不純物を添加し、PチャネルTFTを製作する場合には、P型の不純物を添加する。ここでは、NチャネルTFTについて説明する。堆積方法は、各種CVD、スパッタ法があるが、プラズマCVD法でN<sup>+</sup>の $\alpha$ -Siを堆積する方法を説明する。堆積温度は、室温から約300 °Cの間で、原料ガスは、シラン(SiH<sub>4</sub>)に0.1%から1%のホスフ

- 5 -

-378-

- 6 -

イン( $PB_2$ )を添加して、0.02  $\mu m$ から0.1  $\mu m$ の間で堆積する。又、 $P+e-Si$ の場合には、 $SiH_4$ にジボラン( $B_2H_6$ )を添加して堆積する。次にフォトリソ技術により、ソースとドレイン部分のみ残して他をエッティングして除去する。エッティング方法は、ドライでもウェットでも良いが、4フッ化メタン( $CF_4$ )と酸素( $O_2$ )の混合ガスによるプラズマエッチで容易にできる。このエッティングにおいて、第2半導体膜3と再結晶半導体膜21の一部をエッティングして、ソース領域4とドレイン領域5の膜厚がチャネル領域6の膜厚よりも2倍以上厚くなるようにする。そして、ビームエネルギー11により、ソース領域4とドレイン領域5をアニールして、低抵抗化して再結晶低抵抗半導体膜22を形成し、ソースとドレイン部分のコンタクトを良好にする。このアニール時に再結晶半導体膜21の温度・分布は、第3図(a), (b)に示すようになる。膜厚の厚いソース領域4とドレイン領域5は、ビームの吸収が大きく、選択的に溶融させることができる。

第1図(c)は、フォトリソ技術により、再結晶低

抵抗半導体膜22にエッティングして素子分離を行い、ゲート絶縁膜7を堆積する工程である。エッティング方法は、前述のプラズマエッティングにより容易にできる。ゲート絶縁膜7は、各種CVD法、スパッタ法などで、シリコン酸化膜( $SiO_2$ )やシリコン窒化膜( $SiNx$ )などが堆積できる。ここでは、 $SiO_2$ をプラズマCVD法で堆積する方法について説明する。堆積温度は室温から300 °Cの間で、原料ガスは $SiH_4$ と $N_2O$ をおもに使う。膜厚は500 Åから3000 Åの間で堆積する。

第1図(d)は、ソースとドレイン部分のコンタクトホールをフォトリソ技術で形成した後、ゲート電極8、ソース電極9、ドレイン電極10を形成する工程である。各電極の堆積方法は、スパッタ法や蒸着法などがあり、材料も  $Al-Si$ ,  $Mo-Si$ ,  $W-Si$ などの金属シリサイドがある。一例としては、マグネトロンスパッタ法で  $Al-Si$ を0.5  $\mu m$ から1  $\mu m$ の間で堆積する方法がある。

第4図は、本発明の第2実施例の工程の一部を示す断面図であり、工程は第1図(c)に対応する。

- 7 -

ソースとドレインになる第2半導体膜3の膜厚を再結晶半導体膜21と同じか、それ以上にすることで、再結晶半導体膜21をエッティングすることなく、膜厚比が2倍以上になる。焼いてエネルギー・ビーム11によるアニールでソース領域4とドレイン領域5とを選択的に溶融させることができる。

#### (発明の効果)

この発明は、前述したようにTFT製作時に、ソース領域とドレイン領域の膜厚をチャネル領域の膜厚よりも大きくすることで、ビームアニール時に、ドレイン領域とソース領域のみ選択的に溶融させて、コンタクトを改善する。

このため、TFTのリーコ電流、耐圧の特性が改善される。

#### 4. 図面の簡単な説明

第1図(a)～(d)は本発明の第1実施例の工程を示す断面図、第2図(a)～(d)は従来の方法を説明する断面図、第3図(a), (b)はビームアニール時の再結晶半導体膜の温度分布を示す説明図、第4図は本

- 8 -

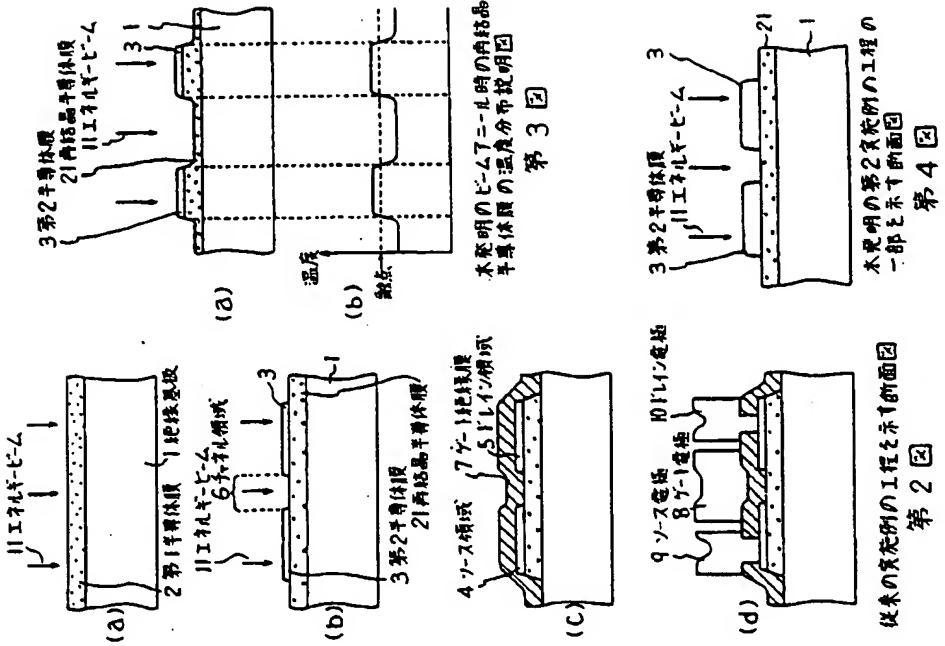
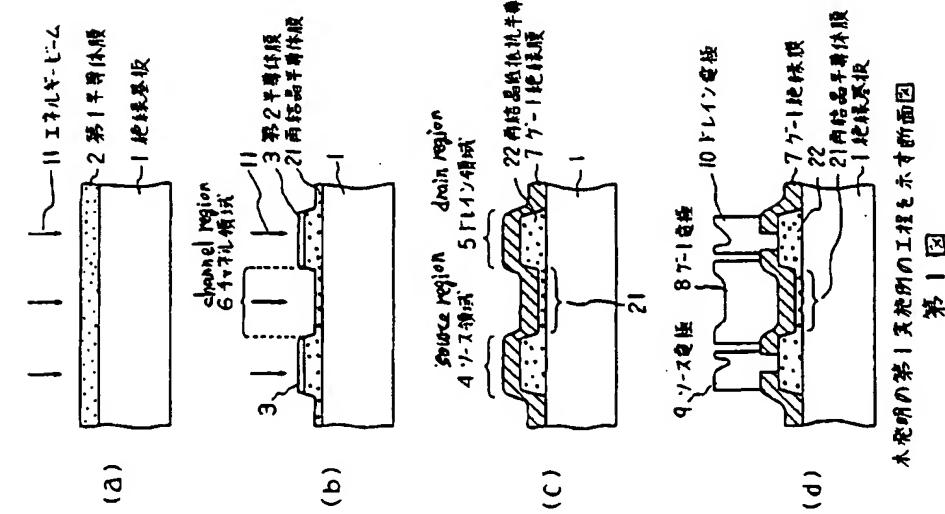
発明の第2実施例の工程の一部を示す断面図である。

1・・・絶縁基板 2・・・第1半導体膜  
3・・・第2半導体膜 4・・・ソース領域  
5・・・ドレイン領域 6・・・チャネル領域  
7・・・ゲート絶縁膜 8・・・ゲート電極  
9・・・ソース電極 10・・・ドレイン電極  
11・・・ビームエネルギー  
21・・・再結晶半導体膜  
22・・・再結晶低抵抗半導体膜

以上

出願人 セイコー電子工業株式会社

代理人 井理士 勝 上 樹 (他1名)



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**